

DKBA

华为技术有限公司企业技术规范

DKBAXXXX-2001.XX

代替 (DKBAXXXX-2001.XX)

Proverilog编码规范(草案)

2001-XX-XX发布

2001-XX-XX实施

华为技术有限公司发布

目 次

前言	3
1 范围	4
2 规范性引用文件	4
3 术语和定义	4
4 规范内容	5
5 附录	6
5.1 附录A	6
5.2 附录B	6
6 参考文献	7

前 言

按照顺序写出下列部分的内容（哪一条没有就不写）

——说明与对应的国际标准或其他文件的一致性程度

——说明规范代替或作废的全部或部分其他文件

——说明与规范前一版本相比的重大技术变化

——说明与其他规范或文件的关系

本技术规范参考Proverilig自带规则、Verilog Coding Style培训教材，结合公司各部门实际实践经验编制而成。

本规范由光网络研究管理部逻辑研究部提出。

本规范主要起草和解释部门：光网络研究管理部逻辑研究部

本规范主要起草人：张振祥、曹安萍、周道习、徐春

本规范主要审核人：

本规范批准人：

本规范规范所替代的历次修订情况和修订人为：

Proverilog编码规范(草案)

1 范围

本规范规定了Proverilog编码规范，即采用verilog设计时的代码书写规范。

本规范适用于逻辑芯片开发中使用verilog语言作为RTL级设计语言。

2 规范性引用文件

下列文件中的条款通过本规范的引用而成为本规范的条款。凡是注日期的引用文件，其随后所有的修改单（不包括勘误的内容）或修订版均不适用于本规范，然而，鼓励根据本规范达成协议的各方研究是否可使用这些文件的最新版本。凡是不注日期的引用文件，其最新版本适用于本规范。

序号	编号	名称
1		Proverilog自带规则
2		VERILOG CODING STYLE培训教材

3 术语和定义

（对规范中涉及的术语和定义做解释）

（从第四开始是规范的主要内容）

4 规范内容

大类	编号	规则要素内容	级别		评审/不评审			说明
			规则	建议	是	否	免	
设计风格	1	低电平有效的信号，信号名后缀“_n”	✓					
	2	模块名小写	✓					
	3	module例化名用U_xx_x标示(多次例化用次序号0、1、2...)	✓					
	4	使用降序排列定义向量有效位顺序，最低位是0	✓					
	5	采用小写字母定义wire、reg和input/inout/output	✓					
	6	采用大写字母定义参数，参数名小于20个字母	✓					
	7	时钟信号应前缀“clk”，复位信号应前缀“rst”	✓					
	8	三态输出的寄存器信号应后缀“_z”	✓					
	9	代码中不能使用VHDL保留字，更不能使用verilog保留字	✓					
	10	输出信号必须被寄存(只对顶层模块)		✓				
	11	三态逻辑可以在顶层模块使用，子模块中避免使用三态	✓					
	12	没有未连接的端口		✓				
	13	到其他模块的接口信号，按如下顺序定义端口信号：输入、(双向)、输出	✓					
	14	建议使用coregen生成的乘法电路		✓				
	15	采用基于名字(name_based)的调用而非基于顺序(order_based)的调用	✓					
	16	不要书写空的模块，即一个模块至少要有有一个输入和一个输出	✓					
	17	时钟事件的表达式要用“negedge <clk_name>”或“posedge <clock_name>”的形式	✓					
	18	异步复位，高电平有效用“If(<asynch_reset> == 1'b1)”，低电平有效用“if(<asynch_reset> == 1'b0)”	✓					
	19	if语句嵌套不能太多		✓				
	20	建议不使用include语句		✓				
	21	建议每个模块加timescale		✓				
	22	代码中给出必要的注释	✓					
	23	每个文件有一个文件头	✓					
	24	每个文件只包含一个模块		✓				
	25	模块名和文件名保持一致	✓					
设计可靠性	26	同步时序逻辑的always block中有且只有一个时钟信号，并且在同一个沿动作(如上升沿)	✓					设计可靠性
	27	同步时序逻辑的module中，在时钟信号的同一个沿动作		✓				
	28	采用同步设计，避免使用异步逻辑(全局异步复位除外)		✓				
	29	一般不要将时钟信号作为数据信号输入		✓				
	30	不要在时钟路径上添加任何buffer	✓					
	31	不要门控时钟		✓				
	32	在顶层模块中，时钟信号必须可见	✓					
	33	不要采用向量的方式定义一组时钟信号	✓					
	34	不要在模块内部生成时钟信号，使用DLL/PLL产生的时钟信号		✓				
	35	建议使用单一的全局同步复位电路或者单一的全部异步复位电路		✓				
	36	不要在复位路径上添加任何buffer，也不要使用任何门控复位信号	✓					
	37	不使用PLI函数	✓					
	38	建议不使用任务	✓					
	39	不使用事件变量	✓					

大类	编号	规则要素内容	级别		评审/不评审			说明
			规则	建议	是	否	免	
	40	不使用系统函数	✓					
	41	不使用用户自定义单元(UDP)	✓					
	42	不使用disable语句	✓					
	43	不使用===、!===等不可综合的运算符	✓					
	44	建议不使用forever、repeat、while等循环语句	✓					
	45	避免产生Latch(除CPU接口)	✓					
	46	组合逻辑语句块敏感表中的敏感变量必须和该块中使用的相一致，不能多也不能少	✓					
	47	在一个always语句中有且只能有一个事件列表	✓					
	48	在时序always块的敏感事件列表中必须都是沿触发事件，不允许出现电平触发事件	✓					
	49	数据位宽要匹配		✓				
	50	不使用real、time、realtime类型	✓					
	51	建议不使用integer类型		✓				
	52	移位变量必须是一个常数	✓					
	53	避免使用异步反馈环路		✓				
	54	时序逻辑语句块中统一使用非阻塞型赋值	✓					
	55	组合逻辑语句块中使用阻塞型赋值	✓					
	56	非阻塞型赋值应不加单位延时，尤其是对于寄存器类型的变量赋值时		✓				
不常用规则	57	整型常量基数格式中不能有“?”	✓					
	58	字符串中不能含有控制字符(如CTRL键等)	✓					
	59	禁止使用空的时序电路块及非法的always结构	✓					
	60	不要在连续赋值语句中引入驱动强度和延时	✓					
	61	不要为net、n_input、n_output、enable_gate型变量定义驱动强度、电荷保持强度以及延时	✓					
	62	禁止使用triereg(具有电荷保持特性性连接)NET型定义	✓					
	63	禁止使用tri1、tri0、triand和trior型的连接(net)	✓					
	64	在RTL级代码中不能含有initial结构，也不可以对任何信号进行初始化赋值，而应采用复位的方式进行初始化	✓					
	65	不要在过程语句中使用assign、deassign、force、release等语句	✓					
	66	不要使用wait语句	✓					
	67	不要使用fork-join语句块	✓					
	68	不要为驱动类型为supply0和supply1型的连线(net)赋值	✓					
	69	设计中不使用macro_module	✓					
	70	不要在RTL代码中实例门级单元，尤其是下列单元： CMOS开关、RCMOS开关、NMOS开关、PMOS开关、 RNMOS开关、RPMOS开关、trans双向开关、rtrans双向开关、 tranif0、tranif1、rtranif0、rtranif1、pull_gate	✓					
	71	不要使用specify模块	✓					

注1：结论为“否”需要注明理由。

注2：根据具体情况，分别在“是、否、免”三栏填写“1”，然后可以自动统计。

5 附录

5.1 附录A

附录内容（包括案例等）

5.2 附录B

附录内容

6 参考文献

制定本规范参考的一些文献，但没有直接引用里面的条文：

序号	编号或出处	名称
1	XXXX	XX文档
2	XXXX	XX文档